

NEGATIVE FEEDBACK VARIABLE GAIN AMPLIFIER CIRCUIT AND NEGATIVE FEEDBACK AMPLIFIER CIRCUIT

Patent Number: JP8111614
Publication date: 1996-04-30
Inventor(s): NISHIKAWA KENJIRO; TOKUMITSU TSUNEO
Applicant(s):: NIPPON TELEGR & TELEPH CORP <NTT>
Requested Patent: ☐ JP8111614
Application Number: JP19950205878 19950811
Priority Number(s):
IPC Classification: H03F1/34 ; H03F3/193 ; H03F3/60 ; H03G3/12 ; H03H11/04 ; H03H11/24
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain the negative feedback variable gain amplifier circuit with excellent linearity and having a large permissible maximum input level by varying mutual conductance of a feedback transistor(TR) to control a feedback amount.

CONSTITUTION: One of a voltage V2 at a control terminal 81 fed to a drain terminal of a feedback TR 73 and a voltage V1 at a control terminal 79 fed to a gate terminal is controlled to change the mutual conductance of the TR 73. Through the constitution above, when the mutual conductance is increased to increase a feedback amount, the output impedance at the source is decreased inversely proportionally thereby suppressing an input voltage applied to an amplifier TR 71 when the input signal of a large amplitude is received. Thus, the permissible maximum input level is increased and low distortion is realized. Furthermore, a field effect TR, or a bipolar TR or a hetero junction bipolar TR is desirably adopted for the TR 73.

Data supplied from the esp@cenet database - 12

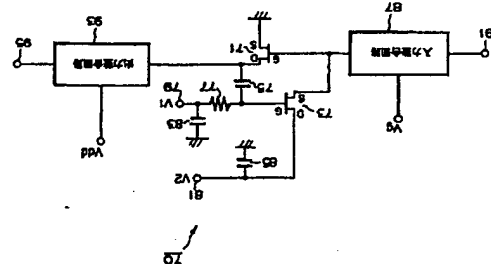
(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平8-111614
(49)公開日 平成8年(1996)4月30日

(51)IntCl. ⁴	発明の分野	特許の範囲	特許の範囲
H03F	1/24	FI	特許表示箇所
9/183	8839-5J		
3/80	8839-5J		
H03G	3/12	D	
H03H	11/04	F	

(21)出願番号	特開平7-205878	(71)出願人	00004228 日本電信電話株式会社
(22)出願日	平成7年(1995)8月11日	(72)発明者	東京都新宿区西新宿三丁目19番2号 西川 雄二郎 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内 (72)発明者 徳岡 恒雄 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内 (74)代理人 弁理士 谷 健一 (外1名)

(54)【発明の名称】 負帰還可変利得増幅回路および負帰還増幅回路

(57)【要約】
【課題】 帰還 FET の物理寸法に依存しない利得制御を可能とし、帰還回路を通しての、入力側から出力側への信号伝達を防止する。
【解決手段】 増幅器の出力信号を、出力端子から入力端子に帰還する帰還回路を、FET で構成し、この帰還 FET のゲート端子を、コンデンサを介して、増幅器の出力端子に接続し、ソース端子を増幅器の入力端子に接続する。帰還 FET のゲート端子に印加するバイアス電圧を制御することによって、帰還 FET の相互コンダクタンスを変化させて、増幅器の利得を制御する。



(2)

【特許請求の範囲】

【請求項1】 入力信号を増幅する増幅器と、第1の電圧が印加される第1の端子と、第2の電圧が印加される第2の端子と、前記増幅器の入力端子に接続され、かつ第2の電圧端子が前記第1の端子に接続され、かつ第2の電圧端子が前記第1の端子に接続された増幅器の増幅器の出力端子と前記増幅器の入力端子との間に接続されたコンデンサとを具備し、前記第1の電圧および前記第2の電圧の少なくとも一方に依存して、その利得を変化させることを特徴とする負帰還可変利得増幅回路。

【請求項2】 前記負帰還可変利得増幅回路は、さらに、

前記負帰還可変利得増幅回路への入力信号の電圧を測定し、該電圧を示す検出信号を出力する測定手段と、前記検出信号に基づいて、前記第1の電圧を出力する制御回路と、前記第2の電圧を出力する定電圧源とを具備することを特徴とする請求項1に記載の負帰還可変利得増幅回路。

【請求項3】 前記負帰還可変利得増幅回路は、さらに、前記第1の電圧を出力する定電圧源と、前記負帰還可変利得増幅回路への入力信号の電圧を測定し、該電圧を示す検出信号を出力する測定手段と、前記検出信号に基づいて、前記第2の電圧を出力する制御回路とを具備することを特徴とする請求項1に記載の負帰還可変利得増幅回路。

【請求項4】 前記負帰還可変利得増幅回路は、さらに、

前記負帰還可変利得増幅回路への入力信号の電圧を測定し、該電圧を示す検出信号を出力する測定手段と、前記検出信号に基づいて、前記第1の電圧および前記第2の電圧を出力する制御回路とを具備することを特徴とする請求項1に記載の負帰還可変利得増幅回路。

【請求項5】 前記第1の端子および前記第2の端子の少なくとも一方を、コンデンサを介して接地したことを特徴とする請求項1に記載の負帰還可変利得増幅回路。

【請求項6】 前記増幅器は、カスコード増幅器であることを特徴とする請求項1ないし5のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項7】 前記増幅器は、多段増幅器であることを特徴とする請求項1ないし5のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項8】 前記増幅器は、電圧効果トランジスタであり、前記増幅器は、そのゲート端子、前記第1の電圧端子、前記第2の電圧端子、前記第2の電圧端子は、そのソース端子、前記第2の電圧端子は、そのドレイン端子であることを特徴とする請求項1ないし7のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項9】 前記増幅器は、バイポーラトランジスタであり、前記増幅器は、そのベース端子、前記第1の電圧端子、前記第2の電圧端子、前記第2の電圧端子は、そのコレクタ端子であることを特徴とする請求項1ないし7のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項10】 前記増幅器は、ヘテロ接合バイポーラトランジスタであり、前記増幅器は、そのベース端子、前記第1の電圧端子、前記第2の電圧端子、前記第2の電圧端子は、そのコレクタ端子であることを特徴とする請求項1ないし7のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項11】 入力信号を増幅する増幅器と、一端が前記増幅器の出力端子に接続されたコンデンサと、

前記増幅器が前記コンデンサの他端に接続され、第1の電圧端子が前記増幅器の入力端子に接続され、かつ第2の電圧端子が前記増幅器の出力端子に接続された増幅器の増幅器の出力端子と前記増幅器の入力端子との間に接続されたコンデンサとを具備することを特徴とする請求項1に記載の負帰還可変利得増幅回路。

【請求項12】 前記第2の電圧端子を、コンデンサを介して接地したことを特徴とする請求項1に記載の負帰還可変利得増幅回路。

【請求項13】 前記増幅器は、カスコード増幅器であることを特徴とする請求項11または12に記載の負帰還可変利得増幅回路。

【請求項14】 前記増幅器は、多段増幅器であることを特徴とする請求項11または12に記載の負帰還可変利得増幅回路。

【請求項15】 前記増幅器は、電圧効果トランジスタであり、前記増幅器は、そのゲート端子、前記第1の電圧端子、前記第2の電圧端子、前記第2の電圧端子は、そのソース端子、前記第2の電圧端子は、そのドレイン端子であることを特徴とする請求項1ないし14のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項16】 前記増幅器は、バイポーラトランジスタであり、前記増幅器は、そのベース端子、前記第1の電圧端子、前記第2の電圧端子、前記第2の電圧端子は、そのコレクタ端子であることを特徴とする請求項1ないし14のいずれかの項に記載の負帰還可変利得増幅回路。

【請求項17】 前記増幅器は、ヘテロ接合バイポーラトランジスタであり、前記増幅器は、そのベース端子、前記第1の電圧端子、前記第2の電圧端子、前記第2の電圧端子は、そのコレクタ端子であることを特徴とする請求項1ないし14のいずれかの項に記載の負帰還可変利得増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、無誘受電機の入力 C (Automatic Gain Control) 回路等に好適な負帰還可変利得増幅回路に関する。

(3)

【0002】
【従来の技術】近年、無線電話などの普及によって、振動変調の激しい受信信号を、ほぼ一定レベルの信号に変換する、ダイナミックレンジが広く、かつ線形性の高い可変利得増幅回路が強く要求されている。

【0003】図1は、従来の一般的な負帰帰増幅回路を示している。この負帰帰増幅回路は、増幅器1と、帰還回路3とを備え、帰還回路3は、コンデンサ3と抵抗3bとから構成されている。また、増幅器1と入力端子5との間には、入力整合回路7が接続され、増幅器1と出力端子11との間には、出力整合回路9が接続されている。

【0004】この増幅回路3は、信号を双方向に伝達するため、入力信号が増幅器1の入力側から出力側に伝達されるといいう問題があった。特に、増幅器1の利得が1よりも小さい場合、帰還回路3を通して出力側に伝達される信号の影響が大きくなるという問題があった。

【0005】図2および図3は、従来の可変利得増幅回路を示している。図2の増幅回路は、増幅器としてデュアルゲートFET21を用い、デュアルゲート端子一方を制御端子23として、可変利得増幅回路を実現している。なお、入力整合回路7には、それを構成するFETのゲート端子に、バイアス端子27を介して、ゲートバイアス電圧V_gが印加され、出力整合回路9には、それを構成するFETのドレイン端子に、バイアス端子29を介して、ドレインバイアス電圧V_{dd}が印加されている。

【0006】図3の増幅回路は、FET31および33によってカスコード増幅器を構成し、FET33のゲート端子を制御端子35として、可変利得増幅回路を実現している。図2および図3の可変利得増幅回路は等価であり、いずれもFETの相互コンダクタンスを変化させて、その利得を制御している。

【0007】図3において、増幅回路への入力信号のレベルが低く、増幅器の利得を大きくしなくてはならない場合は、制御端子35への印加電圧を正の値として、FET31のドレインへの電圧配分を大きくし、その相互コンダクタンスg_mを増加させる。逆に、増幅回路への入力信号のレベルが高くなり、増幅器の利得を小さくしなければならぬ場合は、制御端子35への印加電圧を負の値として、FET31のドレインへの電圧配分を小さくするとともに、FET33のゲート・ソース間の逆バイアスを除くことで、両FET33および35の相互コンダクタンスg_mを減少させる。

【0008】ところで、FETの線形性は、相互コンダクタンスが減少するにつれて、大幅に劣化する。このため、FETの相互コンダクタンスを変化させることによって、利得を変化させるこれらの増幅回路では、利得低下時に、FET31の増幅率が急激に低下するとともに、FET33の線形性が著しく劣化する。この結

果、振幅の大きな入力信号に応じて利得を下げるほど、許容最大入力レベルが低下してしまうという問題があった。すなわち、低歪み動作の範囲が狭いという不都合があった。

【0009】図4は、これらの可変利得増幅回路の欠点を解決するために開発された増幅回路を示す。これは、1991年のIEEE MTT-S International Microwave Symposiumにおいて発表されたものである。この増幅回路は、増幅器としてソース接地のFET41を用い、帰還回路としてコンデンサ43aとFET43bとの直列回路を用いている。また、FET43bのゲート端子をバイアス用のコンデンサ45を介して接地するとともに、このゲート端子を制御端子47に接続している。そして、制御端子47に印加する電圧を制御して、FET43bのドレイン・ソース間の抵抗値を変化させることによって、増幅回路の利得を制御している。

【0010】この可変利得増幅回路によれば、増幅器として動作するFET41のドレインバイアス電圧が一定となるので、低歪み動作の範囲が、図3の可変利得増幅回路に比較して増加する。また、入力信号の振幅増加に応じて、FET43bのドレイン・ソース間抵抗値を下げ、増幅器の利得を低下させると、増幅器の入力インピーダンスが下がる。このため、FET41のゲートに印加される電圧レベルを低く抑えることができ、許容最大入力レベルをさらに上げることができる。

【0011】この可変利得増幅回路を、さらに高い入力信号レベルまで低歪みで動作させるためには、増幅器の入力インピーダンスを広い範囲で変化させることが重要である。

【0012】図5は、図4の帰還FET43bの、ゲート制御電圧と、ドレイン・ソース間抵抗R_dとの関係を示す図である。FET43bのゲート幅は、100μmに設定され、そのときのFET43bの最小抵抗値は数十オームである。このため、図4の増幅回路の最小利得も10dB程度で限界であった。増幅回路の最小利得をより下げるためには、帰還FET43bのドレイン・ソース間抵抗をさらに減少させる必要がある。このためには、FET43bのゲート幅を大きくしなければならぬ。しかしながら、これによる寄生容量の増加は、増幅器の性能（利得・帯域幅）を低下させるという問題があった。

【0013】図6は、従来の負帰帰増幅回路を示している。これは、SUB6133に開示されたものである。この増幅回路は、トランジスタ61および63から構成された2段増幅器と、帰還トランジスタ62とを備えている。帰還トランジスタ62のベースは、抵抗54を介して出力トランジスタ63のコレクタに接続され、とともに、コンデンサ65を介して出力トランジスタ63のベースに接続されている。また、帰還トランジスタ62のエミッタは、抵抗56を介して出力トランジスタ

(4)

63のベースに接続されている。出力トランジスタ63のコレクタにおける不安定電圧は、抵抗54を通して帰還トランジスタ62のベースに電流を発生する。この電流は、帰還トランジスタ62によって増幅され、抵抗56を介して出力トランジスタ63のベースに供給され、コレクタの不安定を補償する。これによって、出力トランジスタ63の出力損失を低減し、最大出力信号を増加させることができる。

【0014】しかしながら、図6の負帰帰増幅回路では、出力トランジスタ63と帰還トランジスタ62とが一体化されており、これらのトランジスタを独立に制御することはできない。このため、増幅回路の利得を外部から変化させることはできなかった。

【0015】図7は、米国特許出願第6,264,806号に開示された、Kobayashiによる従来の負帰帰増幅回路である。この増幅回路は、ドレイン増幅器82と、アクティブフィードバック回路84とを備えている。このアクティブフィードバック回路84は、トランジスタQF、抵抗R_{te}およびR_{bt}を有し、ドレイン増幅器82の出力端に接続されるとともに、エミッタが抵抗R_Fを介して、ドレイン増幅器82の入力端に接続されている。この増幅回路において、アクティブフィードバック回路84のインダクタンスは、抵抗R_{bt}およびR_{te}の抵抗値を変えることによって、変化させることができる。これによって、この増幅回路の帯域幅を変化させることができる。しかしながら、アクティブフィードバック回路84のトランジスタQFは、増幅器82から独立して動作することはできない。したがって、外部から増幅回路の利得を制御することはできなかった。

【0016】図8は、Electronics Letters 14th, September, 1989, Vol. 25, No. 19, pp. 1317-1319に発表された従来の負帰帰可変利得増幅回路である。この増幅回路は、差動増幅器である。図において、主増幅器は、トランジスタQ1およびQ2からなり、トランジスタQ3が負帰帰回路を構成している。すなわち、帰還トランジスタQ3のベースが出力トランジスタQ2の出力端子に接続されるとともに、帰還トランジスタQ3のエミッタが抵抗R_{L1}を介して、帰還トランジスタQ2の入力端子に接続されている。このようにトランジスタQ3を帰還回路に使用することにより、この可変利得増幅回路は、トランジスタQ1の相互コンダクタンスを変えることによって、利得を変化させている。

【0017】しかしながら、この負帰帰可変利得増幅回路では、帰還トランジスタQ3は、主増幅器から独立して動作することができず、帰還量を制御して利得を制御することは不可能であった。さらに、この可変利得増幅回路は、主増幅器のトランジスタQ1の相互コンダクタ

ンスを変ええることによって利得を制御している。前述した欠点があった。すなわち、可変利得増幅回路の利得が低い場合、トランジスタQ1は、その増幅率が急激に低下し、線形性が著しく劣化する。このため、利得を下げるほど、許容最大入力レベルが低下し、低歪み動作を実現する許容最大入力レベルが、比較的低いという欠点があった。

【0018】以上を要約すると、
(1) 図2および図3に示した従来の可変利得増幅回路では、増幅器の線形性が悪いために、許容最大入力レベルが制限されていた。

【0019】(2) 図4に示した従来の可変利得増幅回路では、可変利得増幅器を構成するFETの物理的寸法によって、許容最大入力レベルが限定されていた。

【0020】(3) 図6および図7に示した負帰帰増幅回路においては、増幅器を形成するトランジスタが、主増幅器から独立して動作することができないため、増幅回路の利得を制御することができなかった。

【0021】(4) 図8に示す負帰帰可変利得増幅回路では、帰還部を形成するトランジスタが、主増幅器から独立して動作することができないため、増幅回路の利得を制御することができなかった。また、増幅器の線形性が悪いために、許容最大入力レベルが制限されていた。

【0022】
【発明が解決しようとする課題】そこで、本発明の目的は、線形性に優れ、かつ許容最大入力レベルの大きな負帰帰可変利得増幅回路を提供することである。

【0023】また、本発明の他の目的は、入力信号が、入力側から出力側へ、帰還回路を通して伝達することのない負帰帰可変利得増幅回路を提供することである。

【0024】

【課題を解決するための手段】本発明は、入力信号を増幅する増幅器と、第1の電圧が印加される第1の端子と、第2の電圧が印加される第2の端子と、制御端子が前記第1の端子に接続され、第1主電流端子が前記第2の端子に接続され、かつ第2主電流端子が前記第2の端子に接続された帰還トランジスタと、前記増幅器の出力端子と前記帰還トランジスタの制御端子との間に接続されたコンデンサとを具備し、前記第1の電圧および前記第2の電圧の少なくとも一方に応じて、その利得を変化させることを特徴とする。

【0025】また、前記負帰帰可変利得増幅回路は、さらに、前記負帰帰可変利得増幅回路への入力信号の電圧を測定し、該電圧を示す検出信号を出力する測定手段と、前記検出信号に基づいて、前記第1の電圧を出力すると、前記第2の電圧を出力する定電圧源とを具備してもよい。

【0026】また、前記負帰帰可変利得増幅回路は、さらに、前記第1の電圧を出力する定電圧源と、前記負帰帰可変利得増幅回路への入力信号の電圧を測定し、該電

力を示す検出信号を出力する測定手段と、前記検出信号に基づいて、前記第2の電圧を出力する前記回路とを具備してもよい。

【0027】また、前記負帰還可変利得増幅回路は、さらに、前記負帰還可変利得増幅回路への入力信号の電力を測定し、該電力を示す検出信号を出力する測定手段と、前記検出信号に基づいて、前記第1の電圧および前記第2の電圧を出力する前記回路とを具備してもよい。

【0028】また、前記第1の端子および前記第2の端子の少なくとも一方を、コンデンサを介して接地してもよい。

【0029】また、前記増幅器は、カスコード増幅器であってよい。

【0030】また、前記増幅器は、多段増幅器であってよい。

【0031】また、前記帰還トランジスタは、電界効果トランジスタであり、前記制御端子はそのゲート端子、前記第1主電流端子はそのソース端子、前記第2主電流端子はそのドレイン端子であってよい。

【0032】また、前記帰還トランジスタは、バイポーラトランジスタであり、前記制御端子はそのベース端子、前記第1主電流端子はそのエミッタ端子、前記第2主電流端子はそのコレクタ端子であってよい。

【0033】また、前記帰還トランジスタは、ペロロ接合バイポーラトランジスタであり、前記エミッタ端子、そのベース端子、前記第1主電流端子はそのエミッタ端子、前記第2主電流端子はそのコレクタ端子であってよい。

【0034】さらに、本発明は、入力信号を増幅する増幅器と、一端が前記増幅器の出力端子に接続されたコンデンサと、前記端子が前記コンデンサの他端に接続され、第1主電流端子が前記増幅器の入力端子に接続され、かつ第2主電流端子が交流的に接地された帰還トランジスタとを具備することを特徴とする。

【0035】本発明による負帰還可変利得増幅回路は、帰還トランジスタの相互コンダクタンスを変え、これによって、帰還量を制御している。増幅トランジスタの制御手法に依存しない可変利得増幅回路を実現できる。すなわち、振幅の大きい入力信号に対しては、帰還トランジスタの相互コンダクタンスを増加させて、帰還量を増やし、増幅回路の利得を下げる。逆に、振幅の小さい入力信号に対しては、帰還トランジスタの相互コンダクタンスを減少させて、帰還量を減らし、増幅回路の利得を上げる。こうして、振幅レベルが制御された信号を出力する。

【0036】この場合、帰還トランジスタの入力インピーダンス、すなわち、帰還トランジスタの制御端子(FETのゲート、またはバイポーラトランジスタのベース)を見たインピーダンスは、ほぼ一定で高い値に保たれる。一方、帰還トランジスタの出力インピーダンス、

すなわち、帰還トランジスタの主電流端子(FETのソース、またはバイポーラトランジスタのエミッタ)を見たインピーダンスは、帰還トランジスタの相互コンダクタンスに反比例して変化する。言い換えれば、増幅トランジスタの出力端子から見た帰還トランジスタのインピーダンスは、ほぼ一定で高い値に保たれ、増幅トランジスタの入力端子から見た帰還トランジスタのインピーダンスは、帰還トランジスタの相互コンダクタンスに反比例して変化する。

【図1】本発明の実施形態の一例、図面を参照して本発明の実施例を説明する。

【0038】実施例1

図9は、本発明による負帰還可変利得増幅回路70を示すブロック図である。図において、71は、増幅器を構成するソース接地のFETである。増幅FET71は、帰還FET73が接続されている。すなわち、帰還FET73のソースが増幅FET71のゲートに接続され、帰還FET73のゲートがコンデンサ75を介して増幅FET71のドレインに接続されている。帰還FET73のゲートは、さらに、抵抗77を介して制御端子79に接続され、ドレインは、制御端子81に接続されている。また、制御端子79および81は、バイパス用のコンデンサ83および85を介して、それぞれ接地されている。さらに、増幅FET71のゲートは、入力回路87を介して入力端子91に接続され、ドレインは、出力整合回路93を介して、出力端子95に接続されている。

【0039】このような構成において、制御端子81の電圧V2を一定(3V)に保ちながら、制御端子79の電圧V1をピンチオフ電圧から0Vまで変化した場合、ゲート幅が100μmの帰還FET73の、入出力インピーダンスおよび相互コンダクタンスは、図10(A)のように変化する。

【0040】すなわち、帰還FET73のゲートバイパス電圧V1が、ピンチオフ電圧から0Vに変化すると、帰還FET73の相互コンダクタンスは、次第に増加し、-0.6V付近から0Vまでは、ほぼ一定の値をとる。また、帰還FET73の入力インピーダンス、すなわち、ゲートインピーダンスは、450Ω前後の比較的高い値でほぼ一定に保たれる。一方、帰還FET73の出力インピーダンス、すなわちソース側のインピーダンスは、帰還FET73の相互コンダクタンスと反比例する形で低下する。

【0041】一方、制御端子79の電圧V1を一定(-0.8V)に保ちながら、制御端子81の電圧V2を0Vから3Vまで変化した場合、ゲート幅が100μmの帰還FET73の、入出力インピーダンスおよび相互コンダクタンスは、図10(B)のように変化する。すなわち、制御電圧V2を一定とし、制御電圧V1を変化

させた場合と、ほぼ同様の变化をする。

【0042】このように、帰還FET73のゲート電圧またはドレイン電圧を変化させると、その相互コンダクタンスも変化する。したがって、このゲート電圧またはドレイン電圧によって、可変利得増幅回路の利得を制御することができる。たとえば、ドレインバイパス電圧を一定とし、ゲートバイパス電圧を高くすれば、相互コンダクタンスが減少し、負帰還量が減るので、可変利得増幅回路の利得は増加する。逆に、ゲートバイパス電圧を増加させれば、相互コンダクタンスが増加して、負帰還量が減少するので、可変利得増幅回路の利得は減少する。

$$S_{ii} = \frac{2Z_0 g_m}{1 + Z_0 g_m} \quad (1)$$

【0046】ただし、Z₀は帰還FET73のソース側負荷インピーダンスおよびゲート側信号源インピーダンス、g_mは帰還FET73の相互コンダクタンスである。この式から分かるように、Z₀がほぼ一定とすれば、g_mが1/Z₀より十分に小さいときには、帰還量はほぼg_mに比例して増加し、g_mが1/Z₀より十分

$$G_{ii} = \frac{1}{1 + (1 + Z_0 g_m) Z_0 g_m} \quad (2)$$

【0048】ただし、g_mは増幅FET71の相互コンダクタンスである。これらの式から分かるように、帰還FET73の相互コンダクタンスg_mが小さいほど、負帰還量が減少して、可変利得増幅回路70の利得は増える。g_m=0のときに最大利得が得られる。逆に、g_mが最大のときに、負帰還量が最大となり、可変利得増幅回路70の利得は最小となる。また、帰還FET73のS12は、常にゼロとなり、帰還回路を通しての入力側から出力側への信号伝達はない。このため、本発明による負帰還可変利得増幅回路は、常に理想的な負帰還動作を行う。

【0049】図11は、図9に示す可変利得増幅回路において、帰還FET73のゲートバイパス電圧V1を変化させたときに得られた出力レベル特性とD/U比とを示す。D/U比は、希望波Dと不要波U(3次高調波成分)との出力電力の比である。測定条件は、周波数が4GHz、および4GHz+10MHzで、入力レベルが-4dBm/波の2波、入力端子91に同時に供給し、このとき出力端子95に得られる3次高調波成分(不要波U)、および4GHzの出力波(希望波D)の電力を測定した。また、帰還FET73のゲート幅を100μm、その相互コンダクタンスを17mSとし、ドレイン制御電圧V2=3Vとした。

【0050】帰還FET73のゲートバイパス電圧V1を、ピンチオフ電圧から0Vまで変化したとき、可変利得増幅回路70の出力は、-2.5dB付近から-16.5dB付近まで、次第に低下する。希望波Dの入力レベルが-4dBmであったことを考慮すれば、可変利得増幅回路70の利得は、1.5dB程度から、-1

る。同様の機能は、ゲートバイパス電圧を一定とし、ドレインバイパス電圧を変化させても実現できる。この場合、コンデンサ75によって、ゲートバイパス電圧が増幅FET71のドレインに印加されないようにしている。これによって、帰還FET73を、増幅FET71とは独立に制御することが可能となる。

【0043】ここで、帰還FET73の利得(増減量)S21は、次式で表される。

【0044】

【数1】

に大きいときには、ほぼ一定(=2)となる。

【0046】また、この可変利得増幅回路の利得Gainは、次式で表される。

【0047】

【数2】

$$(2)$$

2.5dB程度まで変化した。その減少幅は、ほぼ-14dBであることが分かる。一方、D/U比は、22dBから81dBに増加している。これらの測定結果から、本発明による可変利得増幅回路は、帰還FET73の相互コンダクタンスの変化によって利得が変化する。その相互コンダクタンスが大きくなると、可変利得増幅回路の利得が小さくなり、低減動作となる。可変利得増幅回路の利得が小さくなると、低減動作となる。可変利得増幅回路の入力側に、低減動作を行うことが分かる。相互コンダクタンスがさらに大きな高特性FETを、帰還FETとして用いることによって、さらに大きな利得変化と、高いD/U比とを得ることができる。

【0051】図12は、可変利得増幅回路の出力を一定(-10dBm)としたときの、入力電力とD/U比との関係を示している。黒丸が本実施例による可変利得増幅回路での測定値を示し、白丸が図4に示す従来の可変利得増幅回路での測定値を示している。測定条件は、図11の場合と同様である。この図から分かるように、本実施例による可変利得増幅回路は、従来の可変利得増幅回路に比べて、D/U比が改善されている。特に、入力電力が-5dBmを超えると、その効果が著しく、それらの差は、最大で20dB程度まで広がっている。

【0052】図13は、最小利得時における、可変利得増幅回路の入力電力とD/U比を示す。黒丸は、本実施例による可変利得増幅回路70の特性を示し、白丸は、図4の従来の可変利得増幅回路の特性を示している。測定条件は、図11の場合と同様である。この図から、本発明による可変利得増幅回路は、従来の可変利得増幅回路と比べて、強みを低くすることができると分かる。

る。たとえば、 D/U 比は50dBにおいては、許容最大入力レベルを8dB以上増やすことができる。

【0053】従来の可変利得増幅回路では、この増幅回路は動作を行う許容最大入力レベル(D/U 比=50dB)の地点に対応)は、-10dBm程度であった。本発明による可変利得増幅回路では、許容最大入力レベルを0dBm程度まで高めることができる。このような高い線形性をもつ可変利得増幅回路は、本発明によって、初めて実現された。

【0054】実施例2

図14は、本発明による負帰還可変利得増幅回路の第2実施例を示すブロック図である。この第2実施例が、第1実施例と異なるのは、増幅FET71のドレインとコンデンサ75との間に、アクティブ負荷FET97を挿入し、増幅部をカスコード増幅器とした点である。また、負荷FET97のゲートは、制御端子99に接続されている。

【0056】この可変利得増幅回路は、実施例1の可変利得増幅回路と同様の動作を行うことができる。さらに、制御端子99に印加する電圧を変化させることにより、FET71および97の相互コンダクタンスを制御することができる。すなわち、図14において、増幅回路への入力信号のレベルが低く、増幅器の利得を大きくしなければならない場合は、制御端子99への印加電圧を小さくし、FET71のドレインへの電圧配分を大きくし、その相互コンダクタンス g_m を増加させる。逆に、増幅回路への入力信号のレベルが高く、増幅器の利得を小さくしなければならない場合は、制御端子99への印加電圧を高くして、増幅FET71のドレインへの電圧配分を小さくするとともに、負荷FET97のゲート-ソース間の逆バイアスを深くして、両FET71および97の相互コンダクタンス g_m を減少させる。FET97に関するこの動作そのものは、図3に示す従来例と同様であるが、本実施例では、増幅FET73と組み合わせて、図15に示すように、高利得増幅回路よりも、さらに高精度な制御が可能となる。

【0057】なお、上記実施例1および2においては、増幅器および帰還回路に、FETを使用したのが、FETに代えて、バイポーラトランジスタ、または、ヘテロ接合トランジスタを使用することも可能である。この場合、これらのトランジスタのベースをFETのゲートと、エミッタをソースと、コレクタをドレインと置き換えればよい。

【0057】また、増幅器は多段増幅器とすることも可能である。

【0058】実施例3

図15は、本発明による負帰還可変利得増幅回路の第3実施例を示すブロック図である。この実施例は、上記実施例1または2による可変利得増幅回路70をAGC

【0067】(2)帰還トランジスタの入力インピーダンスがほぼ一定に保たれるために、増幅回路の出力インピーダンスもほぼ一定に保たれる。このため、利得を变化させても、出力整合がずれない可変利得増幅回路を実現できる。

【0068】さらに、トランジスタ(特にFET)は、一般に、ユニラテラルな特性をもっているために、主電流端子から制御端子への信号伝達は、無視できるほど小さい。よって、本発明による負帰還可変利得増幅回路は、帰還回路を通しての、入力側から出力側への信号伝達を防止することができる。これによって、可変利得増幅回路の歪みを減少させることができる。

【図面の簡単な説明】

【図1】従来の負帰還増幅回路を示すブロック図である。

【図2】従来の可変利得増幅回路を示すブロック図である。

【図3】従来の可変利得増幅回路を示すブロック図である。

【図4】改良された従来の可変利得増幅回路を示すブロック図である。

【図5】図4のFET43bに印加された制御電圧と、ドレイン・ソース間抵抗との関係を示すグラフである。

【図6】従来の負帰還増幅回路を示す回路図である。

【図7】従来の負帰還増幅回路を示す回路図である。

【図8】従来の負帰還可変利得増幅回路を示す回路図である。

【図9】本発明による負帰還可変利得増幅回路の第1実施例のブロック図である。

【図10】(A)は図9の第1実施例における帰還FETのゲートバイアス電圧と、この帰還FETの入力インピーダンスおよび相互コンダクタンスとの関係を示すグラフ、(B)は図9の第1実施例における帰還FETのドレインバイアス電圧と、この帰還FETの入力インピーダンスおよび相互コンダクタンスとの関係を示すグラフである。

【図11】図9の第1実施例における帰還FETのゲートバイアス電圧と、可変利得増幅回路の出力および D/U 比との関係を示すグラフである。

【図12】図9の第1実施例による負帰還可変利得増幅回路において、出力を一定にしたときの、入力電力と D/U 比との関係を示すグラフである。

【図13】図9の第1実施例による負帰還可変利得増幅回路において、最小利得動作時の、出力と D/U 比との関係を示すグラフである。

【図14】本発明による負帰還可変利得増幅回路の第2実施例のブロック図である。

【図15】本発明による負帰還可変利得増幅回路の第3実施例のブロック図である。

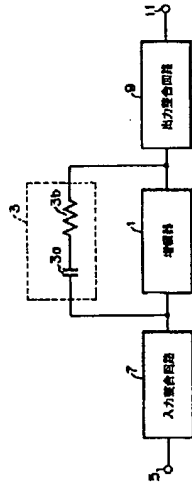
【図16】本発明による負帰還可変利得増幅回路の第4実施例のブロック図である。

【図17】本発明による負帰還可変利得増幅回路の第5実施例のブロック図である。

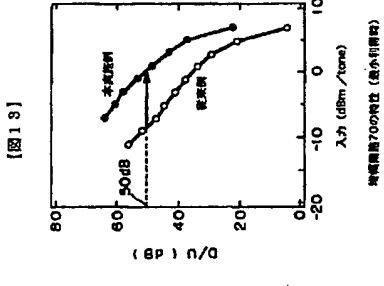
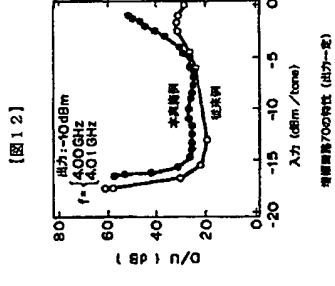
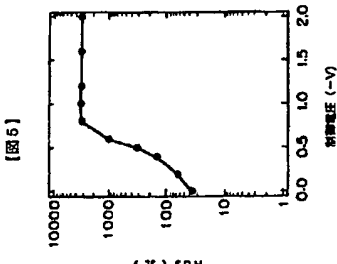
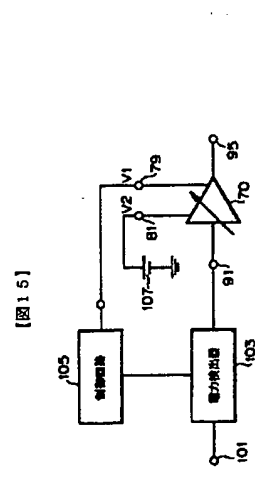
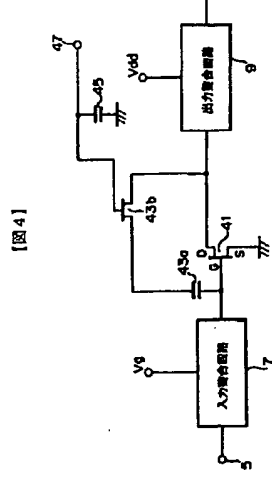
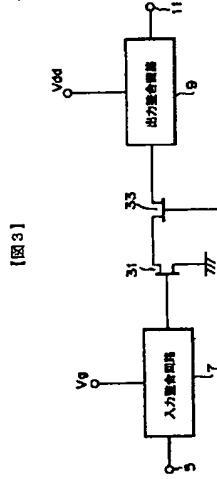
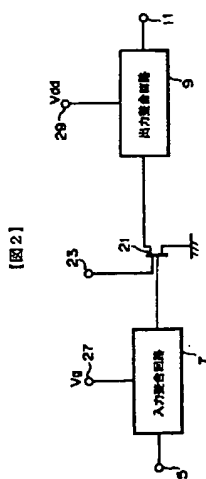
【符号の説明】

- 70 可変利得増幅回路
- 71 増幅FET
- 73 帰還FET
- 75 コンデンサ
- 77 抵抗
- 79 ゲート制御端子
- 81 ドレイン制御端子
- 83、85 バイパスコンデンサ
- 87 入力整合回路
- 91 入力端子
- 93 出力整合回路
- 95 出力端子
- 97 カスコード増幅器の負荷FET
- 99 制御端子
- 101 入力端子
- 103 電力検出器
- 105 制御回路
- 107 定電圧源

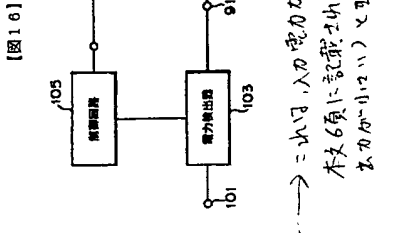
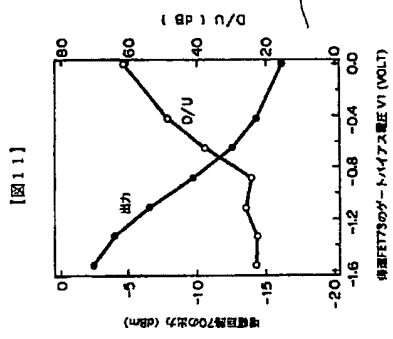
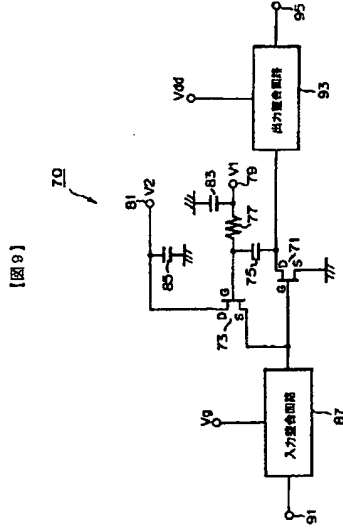
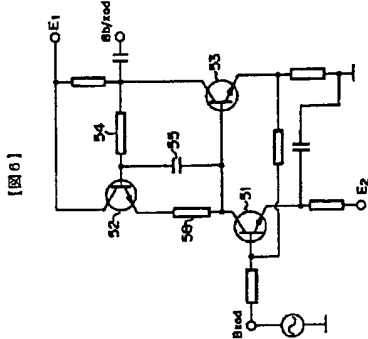
【図1】



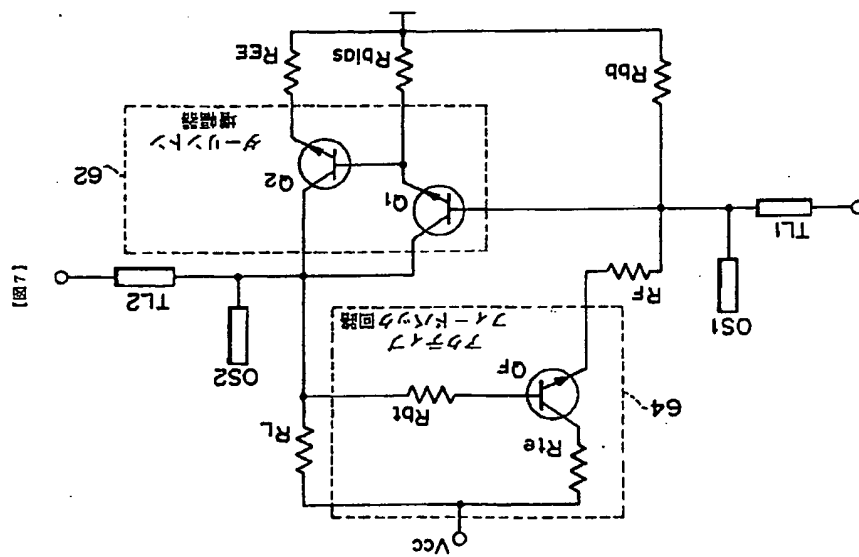
(9)



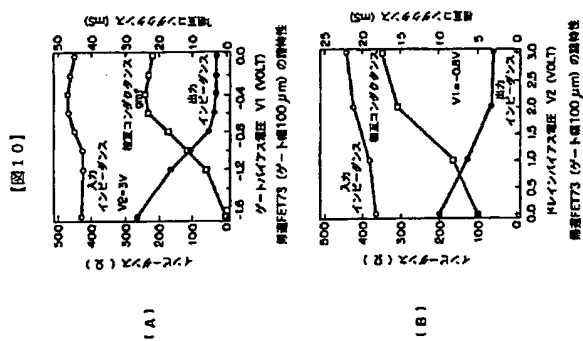
(10)



→ 出力、入力電力に一定の増倍率があり、
本文6頁に記載されているように、利得が低い(この増倍率
が1.2)とすると低電力に近づきます。

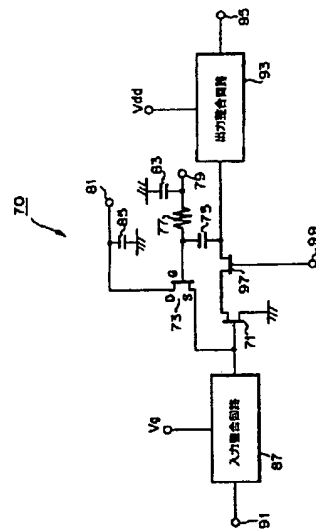
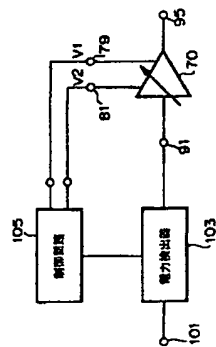


【圖7】



【10】

【圖 17】



(13)

フロントページの続き

(51)Int. Cl.⁶

H03H 11/24

識別記号 庁内整理番号

F I

B 8628-5 J

技術表示箇所